

Study of Low Power Silicon Nano Devices(低電力シリコンナノデバイスに関する研究)

著者	崔 勲
号	2908
発行年	2002
URL	http://hdl.handle.net/10097/8181

氏 名	崔 勲 ^{チェ フン}
授 与 学 位	博士(工学)
学 位 授 与 年 月 日	平成 15 年 3 月 24 日
学位授与の根拠法規	学位規則第 4 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 機械知能工学専攻
学 位 論 文 題 目	Study of Low Power Silicon Nano Devices (低電力シリコンナノデバイスに関する研究)
指 導 教 官	東北大学教授 小柳 光正
論 文 審 査 委 員	主査 東北大学教授 小柳 光正 東北大学教授 羽根 一博 (機械電子専攻) 東北大学教授 河野 省三 東北大学教授 寒川 誠二 (多元物質科学研究所) (流体科学研究所) 東北大学助教授 栗野 浩之

論 文 内 容 要 旨

The most promising way to achieve low power device is the lowering supply voltages to reduce the power consumption and low threshold voltages to maintain the performance. In this thesis, new device structures were investigated in order to realize low power devices.

Fully depleted SOI NMOSFETs with phosphorus implanted back gate, silicon or silicon germanium elevated source and drain structure and SOI Flash memory with side channel and side floating gate were investigated. For the realization of these devices, I developed the key technologies. The obtained results are summarized as the following sentence.

These key technologies include the poly-Si gate formation, atomic layer doping(ALD), selective epitaxial growth(SEG) and silicidation.

Through an effective uses of electron beam lithography, TEOS hard mask and three step dry etching method, ultra narrow gate electrode, which has much less size than 20nm with good vertical feature, was successfully achieved.

In the atomic layer doping(ALD) technologies, there are two challenges. Boron ALD was developed and applied to mesa-isolated FD-SOI NMOSFET, as well as top SOI region of SOI Flash memory. In the case of FD-SOI NMOSFET, the hump phenomenon could be prevented with the boron side adsorption. And parasitic channel was also cut in the case of SOI Flash memory. Arsenic ALD was also improved and applied to SOI devices. As the mention, arsenic was doped to form source and drain extension in the case of SOI NMOSFETs, and also doped on side surface of SOI film because of the formation of source and drain extension in the case of Flash memory. The improved condition of arsenic ALD gives SOI devices ultra shallow junction with shallow lateral diffusion, as well as no any lattice damages.

As the efforts for improving device performance, selective epitaxial growth and silicidation technologies were developed. High current drivability could be obtained through these technologies, in the case of FD-SOI NMOSFETs. Especially, obtained series resistance value of fabricated MOSFET is amazing progress.

With these developed technologies, I has been realized not only FD-SOI NMOSFETs but also SOI Flash memory device.

I studied about the characteristics of realized FD-SOI NMOSFETs.

There are contributions of the applied phosphorus back gate structure and nickel salicide on the elevated source and drain structure. The high current drivability and the threshold voltage shift were demonstrated in this device. Especially, threshold voltage shift by back gate bias can be confirmed that our device has a great capacity for realizing of low power device.

A new SOI Flash memory with the side channel and side floating gate has been proposed to reduce the power consumption and to increase the packing density, for the first time. It was able to perform by extreme scaling down of device. That is a great change of conception. Through the careful fabrication, I could be obtained the drain current only at the side channel and be also acquired threshold voltage shift by gate bias as memory characteristics. And also the programming and erasing characteristics as a function of time were evaluated. With these results, I confirm that new SOI flash memory with the side channel and side floating gate could successfully operated as memory. I believe that single electron memory, which is final goal for low power memory device, would be realized with this device concept through further scaling down.

論文審査結果の要旨

集積回路の高集積化、高速化、低消費電力化が著しい速度で進んでいる。このような集積回路の高性能化は、ムーアの法則でも知られるように、そこに搭載する半導体デバイスの微細化によるところが大きい。微細化の結果として半導体デバイスの寸法は現在 $0.1\mu\text{m}$ を切って、やがてはナノ領域にまで至ろうとしている。しかし、このような半導体デバイスの急激な微細化の結果として、デバイスを微細化してもこれまでのようには性能向上が見込めなくなっている。このような半導体デバイスの微細化に伴う問題を解決するためには、原子レベルやナノスケールのレベルを視野に入れた新しい半導体プロセス、デバイス技術の開発が必須である。本論文は、このような新しい半導体プロセス、デバイス技術を開発することによって、ナノスケール領域でも動作するような半導体デバイスを実現しようとするもので、全編 5 章よりなる。

第 1 章は緒言である。

第 2 章では、 $0.1\mu\text{m}$ 以下の寸法をもつ SOI (Silicon on Insulator) デバイスを実現するために必要な新しい半導体プロセス技術について検討している。その中で、電子ビーム露光技術と TEOS シリコン酸化膜ハードマスクを用いた三段階プラズマエッチング法を採用することによって、 50nm 以下の極微細ゲート電極の加工に成功している。また、原子層吸着拡散法という新しい接合形成法を開発して、深さ 20nm 以下の極浅 p-n 接合の形成も可能となっている。さらに、SOI MOS トランジスタの寄生抵抗を低減して駆動電流を増加させるために、SOI MOS トランジスタのソース、ドレイン領域に自己整合で SiGe 選択成長層と低抵抗のニッケルシリサイド層を形成することにも成功している。これらは重要な成果であり、高く評価される。

第 3 章では、第 2 章で開発したプロセス技術を用いて、バックゲートを有する新しい SOI MOS トランジスタを試作し、その基本特性を評価している。その中で、 1.5V の動作電圧で、チャンネル幅 $1\mu\text{m}$ 当たり $780\mu\text{A}$ という大きな駆動電流を流すことの出来る $0.1\mu\text{m}$ トランジスタの試作に成功している。また、このような駆動電流の増加には、バックゲート、自己整合 SiGe 選択成長層、低抵抗のニッケルシリサイド層が重要な役割をしていることも明らかにしている。これらは実用的にも重要な成果であり、高く評価される。

第 4 章では、側面チャンネルおよび側面フローティングゲートをもつ SOI 不揮発性半導体メモリデバイスの試作、評価結果について述べている。その中で、原子層吸着拡散法を用いることによって、 30nm のチャンネル幅と 100nm のフローティングゲート幅をもつ側面チャンネル型の極微細 SOI 不揮発性半導体メモリデバイスの試作に世界で初めて成功している。これらは重要な成果であり、高く評価される。

第 5 章は結言である。

以上、要するに本論文は、原子レベルやナノスケールのレベルを視野に入れた新しい半導体プロセス、デバイス技術を開発することによって、ナノスケール領域でも動作するような極微細半導体デバイスを実現できることを明らかにしたもので、半導体工学および機械工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。